

[Previous Doc](#) [Next Doc](#) [Go to Doc#](#)
[First Hit](#)

☐ **Generate Collection**

L10: Entry 10 of 43

File: JPAB

May 11, 2001

PUB-NO: JP02001127589A
DOCUMENT-IDENTIFIER: JP 2001127589 A
TITLE: BRANCHING FILTER

JP 2001-127589

PUBN-DATE: May 11, 2001

INVENTOR-INFORMATION:

NAME

COUNTRY

IGATA, OSAMU

SATO, YOSHIO

MIYASHITA, TSUTOMU

HIRASAWA, NOBUAKI

OMORI, HIDEKI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

FUJITSU LTD

APPL-NO: JP2000331145

APPL-DATE: December 16, 1991

INT-CL (IPC): H03 H 9/72; H03 H 9/25

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a branching filter which is capable of being miniaturized while keeping isolation excellent.

SOLUTION: First and second surface acoustic wave filters which are respectively provided with a band passage characteristic and respectively have a signal input/output terminal and a ground terminal are stored in the same cavity of a rectangular solid package PCK. An outer signal terminal T1 connected to the first filter is arranged on the first side of the package PCK on an outer surface, the outer signal terminal T2 connected to the second filter is arranged on the second side of the package PCK on the outer surface, which is opposed to the first side, and, besides, a common outer signal terminal T0 connected to the both first and second filters is disposed at the nearly intermediate point of the third side on the outer surface of the package PCK except the first and the second sides.

COPYRIGHT: (C)2001, JPO

[Previous Doc](#) [Next Doc](#) [Go to Doc#](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-127589

(P2001-127589A)

(43) 公開日 平成13年5月11日 (2001.5.11)

(51) Int.Cl.

識別記号

F I

テーマコード (参考)

H 0 3 H 9/72

H 0 3 H 9/72

9/25

9/25

A

審査請求 有 請求項の数 1 O L (全 8 頁)

(21) 出願番号 特願2000-331145 (P2000-331145)

(62) 分割の表示 特願平11-111391の分割

(22) 出願日 平成3年12月16日 (1991.12.16)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 伊形 理

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 佐藤 良夫

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100083839

弁理士 石川 泰男

最終頁に続く

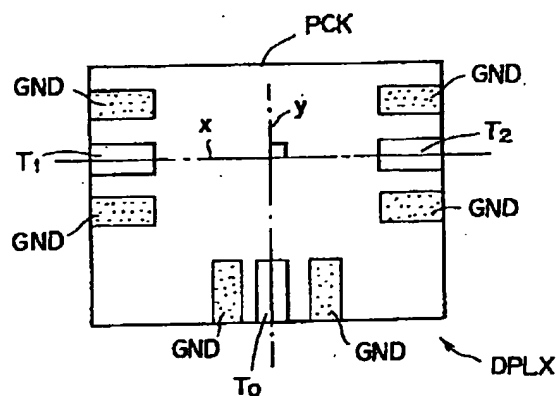
(54) 【発明の名称】 分波器

(57) 【要約】

【目的】 アイソレーションを良好に保ちつつ極力小型化することが可能な分波器を提供する。

【構成】 夫々異なる帯域通過特性を有し且つ夫々信号入出力端子、接地端子を具備する第1、第2の弾性表面波フィルタを、長方体パッケージPCKの同一キャビティに収納する。パッケージPCKの外部表面上の第1の辺に、前記第1のフィルタに繋がる外部信号端子T₁を設け、第1の辺と対向するパッケージPCKの外部表面上の第2の辺に、前記第2のフィルタに繋がる外部信号端子T₂を設け、更に第1又は第2の辺以外のパッケージPCKの外部表面上の第3の辺の略中間点に、前記第1、第2のフィルタの両者に繋がる共通外部信号端子T₀を設ける。

本発明の第6実施例



【特許請求の範囲】

【請求項1】 それぞれ異なる帯域通過特性を有し、かつ、それぞれ信号入出力端子及び接地端子の設けられた第1及び第2の弾性表面波フィルタと、
前記第1及び第2の弾性表面波フィルタを同一キャビティに収納する一つの長方体のパッケージと、
前記パッケージの外部表面上の第1の辺に設けられ、該第1の弾性表面波フィルタにつながる第1の外部信号端子と、
前記第1の辺と対向する前記パッケージの外部表面上の第2の辺に設けられ、前記第2の弾性表面波フィルタにつながる第2の外部信号端子と、
前記第1または第2の辺以外の前記パッケージの外部表面上の第3の辺のほぼ中間点に設けられ、前記第1及び第2の弾性表面波フィルタの両者につながる共通外部信号端子とを有する、ことを特徴とする分波器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、弾性表面波帯域通過フィルタを用いた分波器に関する。

【0002】近年、自動器用電話器、携帯用電話器等の小型無線通信機の開発が急速に進められ、より一層の小型化、高性能化が要請されている。これらの無線通信機には、信号の分岐や挿入を行うための分波器が用いられている。分波器は帯域通過フィルタを用いて構成されるが、今日では弾性表面波フィルタを用いたものが研究開発されている。

【0003】

【従来の技術】2つの帯域通過弾性表面波フィルタチップ（それぞれの帯域中心周波数 f_1 、 f_2 とする）を用いて分波器を構成する場合、それぞれのチップは気密封止されたパッケージ内に搭載され、ストリップ線路もしくは小型の集中定数チップ等で形成されたインピーダンス整合回路のある基板上に設置されるのがこれまでの普通であった。この方法は、それぞれのフィルタが独立したケースに納められているためお互いのアイソレーションが良い。

【0004】また、分波器の構成ではなく増幅器等の素子を同一基板上に組み込むことによりモジュール化されたりした（例えば、特開昭63-54009号公報参照）。

【0005】

【発明が解決しようとする課題】しかしながら、上記従来の構成では、パッケージが2つあるため、その占有面積が大きく小型化が難しい。また、基板上に素子を配置するため整合回路は素子を避けて設ける必要があり、これも無駄なスペースとなる。

【0006】できるだけ小型化するため、2つのフィルタを同一チップ内に形成し一つのパッケージに入れることが望ましいがこの場合、2つのフィルタの相互作用を

避けるため弾性表面波の伝搬路を別々に設ける必要があり、無駄なスペースができる。また、単体の時に比べチップ面積が大きくなるため、製造歩留りも悪くなる。さらに、2つのフィルタのアイソレーションをとることも難しい。

【0007】そこで、本発明は、アイソレーションを良好に保ちつつ極力小型化することが可能な分波器を提供することを目的とする。

【0008】

【課題を解決するための手段】上記課題を解決するために、本発明は、図1、図5に示すように、それぞれ異なる帯域中心周波数 f_1 、 f_2 の特性を有し、かつ、それぞれ信号入出力端子 A_1 および A_2 、 B_1 および B_2 および接地端子 GND_1 、 GND_2 を有する複数の弾性表面波帯域通過フィルタチップ F_1 、 F_2 を、ひとつのパッケージPCK内に収納し一体化して構成する。

【0009】また、例えば、図5に示すように、前記弾性表面波帯域通過フィルタチップ F_1 、 F_2 は前記パッケージPCK内において前記フィルタチップ F_1 、 F_2 の信号入出力端子 A_1 および A_2 、 B_1 および B_2 、接地端子 GND_1 、 GND_2 、前記パッケージPCK内に設けられた信号入出力端子 C_1 および C_2 、 D_1 および D_2 、および接地端子 GND を介して信号線 $1s$ 、 $1g$ により電氣的に接続して構成する。

【0010】また、図5、図6に示すように、前記各フィルタチップ F_1 、 F_2 の各信号入出力端子 A_1 および A_2 、 B_1 および B_2 、および前記パッケージPCKの信号入出力端子 C_1 および C_2 、 D_1 および D_2 は、それらを結ぶ信号線が略一直線上に位置するようにする。

【0011】また、図8に示すように、前記一方のフィルタチップ F_1 側における各信号入出力端子 A_1 、 A_2 と前記パッケージPCKの信号入出力端子 C_1 、 C_2 とを結ぶ信号線と、前記他方のフィルタチップ F_2 側における各信号入出力端子 B_1 、 B_2 と前記パッケージPCKの信号入出力端子 D_1 、 D_2 とを結ぶ信号線とが、互いに略直角をなして交わる2つの直線 X 、 Y 上に位置するよう前記各信号入出力端子 A_1 、 A_2 、 B_1 、 B_2 、 C_1 、 C_2 、 D_1 、 D_2 を配置する。

【0012】また、図7に示すように、前記各フィルタチップ F_1 、 F_2 の信号入出力端子 A_1 、 A_2 、 B_1 、 B_2 と対応する前記パッケージPCKの信号入出力端子 C_1 、 C_2 、 D_1 、 D_2 とを結ぶ信号線相互の間に必ず接地線 $1g$ が介在するよう前記各信号入出力端子 A_1 、 A_2 、 B_1 、 B_2 、 C_1 、 C_2 、 D_1 、 D_2 を配置する。

【0013】また、図9に示すように、前記パッケージPCK内における前記各フィルタチップ F_1 、 F_2 間には接地された金属仕切板 S を設ける。さらには、図10に示すように、前記パッケージPCK内における前記各フィルタチップ F_1 、 F_2 の一方の信号端子 A_1 、 B_1

の共通接続点に電気的につながる共通外部信号端子 T_0 、および他方の信号端子 A_2 、 B_2 にそれぞれ独立して電気的につながる外部信号端子 T_1 、 T_2 を導出し、前記各外部信号端子 T_1 、 T_2 相互を互いに相対向する位置に設け、かつ、前記共通外部信号端子 T_0 は前記外部信号端子 T_1 、 T_2 相互間を結ぶ線 x に直交する線 y 上に位置するよう設ける。

【0014】

【作用】請求項1記載の発明によれば、弾性表面波帯域通過フィルタ F_1 、 F_2 はそれぞれ独立したチップで一つのパッケージPCK内に収納されて一体化されるので、従来のように所定の外囲器内にチップを収納してさらにモジュール化されたものとは異なり、余分なスペースを必要とせず、小型化が可能となる。また、小型化に伴う弾性表面波帯域通過フィルタ F_1 、 F_2 相互の接近によって生じうるアイソレーションの低下を防止し、小型化を助ける。また、パッケージPCK内の外表面に導出された共通外部信号端子 T_0 、外部信号端子 T_1 、 T_2 は、互いに略三角形の頂角に位置しそれらは平行な位置関係とならないので、共通外部信号端子 T_0 、外部信号端子 T_1 、 T_2 相互間での信号のクロストークの発生を防止でき、分波器のモジュールとしての小型化、アイソレーションの確保をより完全なものにする。

【0015】

【実施例】次に、本発明の好適な実施例を図面に基づいて説明する。

【I】第1実施例

まず図1に、本発明に係る分波器DPLXの構成を示す。

【0016】図1に示すように、共通外部信号端子 T_0 には弾性表面波帯域通過フィルタチップ F_1 、 F_2 が並列に接続されており、各弾性表面波帯域通過フィルタチップ F_1 、 F_2 からは外部信号端子 T_1 、 T_2 がそれぞれ個別に導出されている。

【0017】弾性表面波帯域通過フィルタチップ F_1 、 F_2 は、図2に示すように、互いに異なる帯域中心周波数を有しており、弾性表面波帯域通過フィルタチップ F_1 の帯域中心周波数 f_1 は、例えば、887[MHz]、弾性表面波帯域通過フィルタチップ F_2 の帯域中心周波数 f_2 は932[MHz]に設定され、 $f_1 < f_2$ の関係になっている。また、弾性表面波帯域通過フィルタチップ F_1 、 F_2 は、図3（等価回路）および図4（実際の配置パターン）に示すように、LT（リチウムタンタレート）基板上に $Al-2\%Cu$ 電極材料により形成されている。直列弾性表面波共振器 R_1 、 R_3 、 R_4 および並列弾性表面波共振器 R_2 、 R_5 は、くし型電極および反射器を有する一端子対形共振器で構成される。

【0018】弾性表面波共振器 R_1 は、弾性表面波帯域通過フィルタチップ F_1 と弾性表面波帯域通過フィルタ

チップ F_2 との共通接続点側に挿入されており、共通外部信号端子 T_0 側からみたとき、弾性表面波共振器 R_1 は初段の共振器となる。

【0019】図4に、弾性表面波共振器 $R_1 \sim R_5$ の配置パターン側を示す。基板Sub上の両端に接地端子 GND_1 、 GND_2 が形成され、それらの面に弾性表面波共振器 R_2 、チップ信号入力端子 A_1 （または B_1 ）、弾性表面波共振器 R_1 、 R_3 、 R_4 、チップ信号出力端子 A_2 （または B_2 ）、弾性表面波共振器 R_5 が形成されている。なお、弾性表面波共振器 $R_1 \sim R_5$ の電極指の形状構造は一般に良く知られているので詳細な図示は省略する。

【0020】再び図1に戻って、共通外部信号端子 T_0 と弾性表面波帯域通過フィルタチップ F_2 の間には、インピーダンス整合回路Mが介在されている。インピーダンス整合回路Mは位相回転用のL（インダクタンス）からなる。インダクタンスLは、具体的には、例えば6[nH]程度である。またインダクタンスLはガラスエポキシ基板またはセラミック基板上に金、タングステン（W）、銅（Cu）等の金属ストリップラインにより形成される。なお、ストリップラインは、ガラスエポキシ基板の場合、線幅0.5[mm]、長さ11[mm]程度であり、セラミック基板の場合、線幅0.2[mm]、長さ6[mm]程度で実現できる。

【0021】このように弾性表面波フィルタ F_2 にインピーダンス整合回路Mを挿入することで、分波器を構成する場合の必要条件を満たすことができる。

【0022】次に、本発明の第1実施例の詳細を説明する。図5に第1実施例に係る分波器DPLXの平面配置図を示す。

【0023】この実施例は、セラミック等の低誘電率材からなる箱型のパッケージPCK内に弾性表面波帯域通過フィルタチップ F_1 、 F_2 を横並びに収納し、これら弾性表面波帯域通過フィルタチップ F_1 、 F_2 を収納したとき隣接する位置に設けられたパッケージ信号出力端子 C_2 、チップ信号出力端子 A_2 、 A_1 、パッケージ信号入力端子 C_1 、 D_1 、チップ信号入力端子 B_1 、 B_2 、 D_2 が一直線上に並ぶようにしたものである。パッケージ信号出力端子 C_2 とチップ信号出力端子 A_2 、チップ信号入力端子 A_1 とパッケージ信号入力端子 C_1 、パッケージ信号入力端子 D_1 とチップ信号入力端子 B_1 およびチップ信号出力端子 B_2 とパッケージ信号出力端子 D_2 のそれぞれには信号線1sが、例えばワイヤボンディング等の手法により配線されている。また、接地端子 GND と接地端子 GND_2 や GND_1 と GND 間には接地線1gが配線され、図1に示す回路を構成すべく配線され、各部は電気的に接続されている。Rは、 $R_1 \sim R_5$ を総合的に示したものであり、その内容は図3、図4に示す通りである。

【0024】このように、各端子 C_2 、 A_2 、 A_1 、 C

1、C₂、D₁、B₁、B₂、D₂を直線上に配置したことにより、それらを結ぶ信号線1sが同様に一直線状となり、その結果、弾性表面波帯域通過フィルタチップF₁の信号と弾性表面波帯域通過フィルタF₂の信号とが互いに干渉することを防止できる。つまり、信号線1sから電磁波として誘起される信号成分が他の信号線1sに混入する割合は、信号線1sが互いに平行に配されたとき最大となるのであるが、一直線状に配されたときは電界の方向が一致せず、極めて少ないものとなるのである。

【0025】なお、図5において、端子ブロックU₁、U₂、U₃は接地端子GND、パッケージ信号入力端子C₁、C₂、D₁、D₂を設けるためのものであり、PCKと同様にセラミック等の低誘電材料で形成されている。

【0026】以上のように、端子配列を直線状にしたため、弾性表面波帯域通過フィルタチップF₁、F₂の信号のクロストークの発生を抑制することができ、弾性表面波帯域通過フィルタチップF₁、F₂自体をパッケージPCK内に収納する場合の特性劣化を防止でき、分波器を確実に小型化することが可能となる。

【0027】[II]第2実施例

図6に、本発明の第2実施例を示す。この実施例は、第1実施例(図5)の変形例に相当するもので、各端子を結ぶ信号線1sがジグザグ状位置になるように各端子が配置されている。このように、信号線1sがジグザグ状となっても、その延在方向が略一直線状をなしているため、信号線1sの電界の方向をそろえることが可能であり、弾性表面波帯域通過フィルタチップF₁とF₂間において十分なアイソレーションを確保しうる。また、チップ信号入力端子A₁とチップ信号入力端子B₁とを互いに離間させることで、端子ブロックU₂上のパッケージ信号入力端子C₁とパッケージ信号入力端子D₁を形成する上で、端子ブロックU₂の全幅を占めることができ、図5に示すように、パッケージ信号入力端子C₁とパッケージ信号入力端子D₁とを隣接させる必要がないので、その分だけパッケージ信号入力端子C₁、パッケージ信号入力端子D₁の面積を大きくとることができるし、あるいは逆に端子ブロックU₂の幅を狭めることが可能となる。その結果PCKを小型化することもできる。また、このような端子配置を可能とすることは、弾性表面波帯域通過フィルタチップF₁、弾性表面波帯域通過フィルタチップF₂のレイアウト設計上の自由度をもたらすことにもなる。

【0028】[III]第3実施例

図7に、本発明の第3実施例を示す。この実施例は、図5のように弾性表面波帯域通過フィルタチップF₁、F₂を横並びに配置するのではなく、両弾性表面波帯域通過フィルタチップF₁、F₂を同じ方向に向けてパッケージPCK内に収納一体化した例である。

【0029】この実施例では、パッケージPCKの長辺側内部に端子ブロックU₁、U₂を形成し、それらの上に接地端子GND、パッケージ信号入力端子C₁、パッケージ信号出力端子C₂、パッケージ信号入力端子D₁、パッケージ信号出力端子D₂が形成されている。そして、端子配列は、弾性表面波帯域通過フィルタチップF₁側では、PCKを横断する方向にパッケージ信号入力端子C₁、チップ信号入力端子A₁、チップ信号出力端子A₂、パッケージ信号出力端子D₂となり、弾性表面波帯域通過フィルタチップF₂側ではパッケージ信号入力端子D₁、チップ信号入力端子B₁、B₂、パッケージ信号出力端子D₂となる。

【0030】ここで、各端子間を結ぶ信号線1sは弾性表面波帯域通過フィルタチップF₁側と弾性表面波帯域通過フィルタチップF₂側とで平行となり、クロストークの面からは不利となるが、弾性表面波帯域通過フィルタチップF₁側と弾性表面波帯域通過フィルタチップF₂側の信号線1s相互の間には弾性表面波帯域通過フィルタチップF₁の接地端子GND₁とパッケージPCK側の接地端子GNDとを結ぶ接地線1gが存在することになり、この接地線1gが電磁波シールド作用を営むので、実用上の問題はなく、小型化が可能となる。

【0031】このように、本実施例のような収納形式によっても十分なアイソレーションを確保することができ、弾性表面波帯域通過フィルタチップF₁、F₂自体の封入を可能として小型化が達成される。

【0032】[IV]第4実施例

図8に、本発明の第4実施例を示す。この実施例は、各端子間を結ぶ信号線1sが弾性表面波帯域通過フィルタチップF₁側と弾性表面波帯域通過フィルタチップF₂側とで互いに直交する線分上に位置するよう端子配列を施した例である。

【0033】すなわち、図8に示すように、端子ブロックU₁上において、パッケージ信号入力端子C₁、パッケージ信号入力端子D₁は中央寄りに位置され、端子ブロックU₂上において、パッケージ信号出力端子C₂、パッケージ信号出力端子D₂はパッケージPCKの端部寄りに位置され、パッケージ信号入力端子C₁とパッケージ信号出力端子C₂とを結ぶ線分Xとパッケージ信号入力端子D₁とパッケージ信号出力端子D₂とを結ぶ線分Yとが互いに直角をなすようにされ、そして線分Xに沿ってチップ信号入力端子A₁、チップ信号出力端子A₂が配置され、かつ、線分Yに沿ってチップ信号入力端子B₁、B₂が配置されている。

【0034】このような端子配列とすることにより、パッケージ信号入力端子C₁とチップ信号入力端子A₁、チップ信号出力端子A₂とパッケージ信号出力端子C₂を結ぶ信号線1sと、パッケージ信号入力端子D₁とチップ信号入力端子B₁、チップ信号出力端子B₂とパッケージ信号出力端子D₂を結ぶ信号線1sとが互いに略

直交することとなり、弾性表面波帯域通過フィルタチップF₁側の信号線1sと弾性表面波帯域通過フィルタチップF₂側の信号線1sとの間のクロストークを防止することが可能となる。

【0035】[V]第5実施例

図9に、本発明の第5実施例を示す、この実施例は、図示するように、弾性表面波帯域通過フィルタチップF₁と弾性表面波帯域通過フィルタチップF₂の間に、接地端子GNDに電氣的に接続された金属シールド板Sを設けた例を開示する。この場合、弾性表面波帯域通過フィルタチップF₁、F₂の配列方向は、端子の取出し位置の関係から、例えば、図7に示す方向とするが好ましく、また、図7の場合に生じる信号線1sの平行配列によるクロストークの問題を完全に解決しうる。他の構成は図8と同様であってよい。

【0036】[VI]第6実施例

図10に本発明の第6実施例を示す。この実施例は前述の第1～第5実施例がパッケージPCK内部におけるアイソレーションを対象にしていたのに対し、パッケージPCK外部におけるアイソレーションを考慮したものである。

【0037】すなわち、弾性表面波帯域通過フィルタチップF₁、F₂をパッケージPCK内に封入するとともに、内部回路を機能させるためには外部端子をPCKの外部表面に導出する必要があるのであるが、その場合、外部端子は相互に信号電波の発生源として作用するので、何らかの防止策を講じなければならない。

【0038】そこで、本実施例では、弾性表面波帯域通過フィルタチップF₁につながる外部信号端子T₁と弾性表面波帯域通過フィルタチップF₂につながる外部信号端子T₂とをパッケージPCKの相対向する端部側に置いて両者を離間させるとともに、外部信号端子T₁とT₂を結ぶ線分xに対し直角をなす線分y上に位置するパッケージPCKの端部に弾性表面波帯域通過フィルタチップF₁および弾性表面波帯域通過フィルタチップF₂の両者につながる共通外部信号端子T₀を配置し、全体として共通外部信号端子T₀、外部信号端子T₁、T₂が三角形の頂点に位置するように配置されている。そして、各共通外部信号端子T₀、外部信号端子T₁、T₂は両側にGNDを配置し、T₀、T₁、T₂からの信号洩れを防止している。

【0039】このように、パッケージPCK内部でのアイソレーションの確保とともにパッケージPCK外部でのアイソレーションをも充分にとることにより、分波器DPLXモジュールの小型化の完成度がより向上する。

【0040】ここで、図11に、以上の各実施例によるアイソレーションの効果を示す。図中、aは何らアイソレーションの対策をしない場合、bは図5等の信号線1s配置をした場合、cは図9の金属シールド板Sを設けた場合の端子間アイソレーション特性を示したものであ

る。この図11からも、端子配列金属シールド板Sの設置によるS/Nの向上がわかる。

【0041】なお、以上の各実施例において、パッケージPCK内部を2層構成とし、そのうちの1層にインピーダンス整合回路を配置したものとする。

【0042】

【発明の効果】以上の通り、本発明によれば、弾性表面波帯域通過フィルタチップ自体をパッケージ内に収納一体化し、端子配列等による電磁シールドあるいは信号クロストークを防止するよう構成したので、弾性表面波帯域通過フィルタチップ間のアイソレーションを良好に保ちつつ小型化することができる。

【図面の簡単な説明】

【図1】本発明に係る分波器の構成を示すブロック図である。

【図2】各弾性表面波帯域通過フィルタチップの周波数特性図である。

【図3】各弾性表面波帯域通過フィルタチップの等価回路図である。

【図4】各弾性表面波帯域通過フィルタチップの電極および信号入出力端子の配置パターンを示す平面図である。

【図5】本発明の第1実施例を示す平面図である。

【図6】本発明の第2実施例を示す平面図である。

【図7】本発明の第3実施例を示す平面図である。

【図8】本発明の第4実施例を示す平面図である。

【図9】本発明の第5実施例を示す平面図である。

【図10】本発明の第6実施例を示す平面図である。

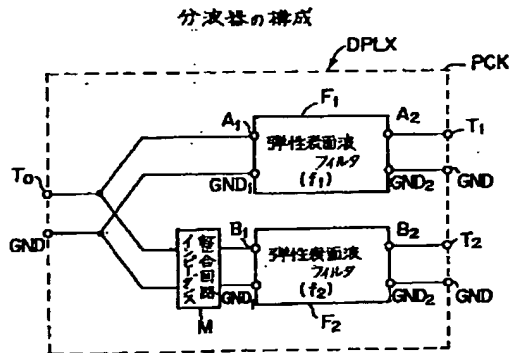
【図11】本発明の効果を示す端子間アイソレーション特性図である。

【符号の説明】

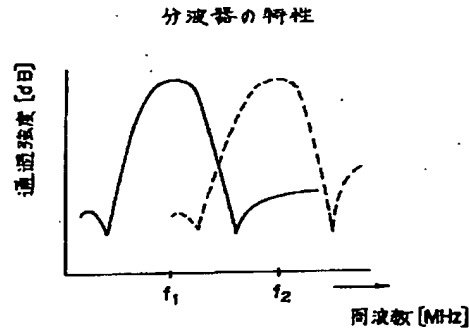
A₁ …チップ信号入力端子
A₂ …チップ信号出力端子
B₁ …チップ信号入力端子
B₂ …チップ信号出力端子
C₁ …パッケージ信号入力端子
C₂ …パッケージ信号出力端子
D₁ …パッケージ信号入力端子
D₂ …パッケージ信号出力端子
F₁ …弾性表面波帯域通過フィルタチップ
F₂ …弾性表面波帯域通過フィルタチップ
GND、GND₁、GND₂ …接地端子
M…インピーダンス整合回路
PCK…パッケージ
R、R₁、R₂、R₃、R₄ …弾性表面波共振器
S…金属シールド板
T₀ …共通外部信号端子
T₁、T₂ …外部信号端子
U₁、U₂、U₃ …端子ブロック
1s …信号線

16 …接地線

【図1】

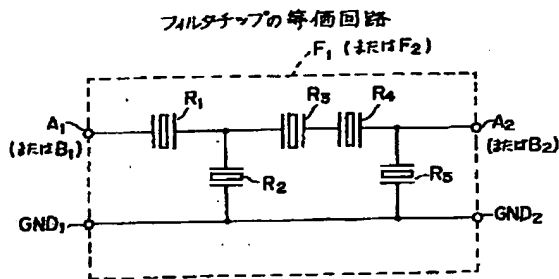


【図2】

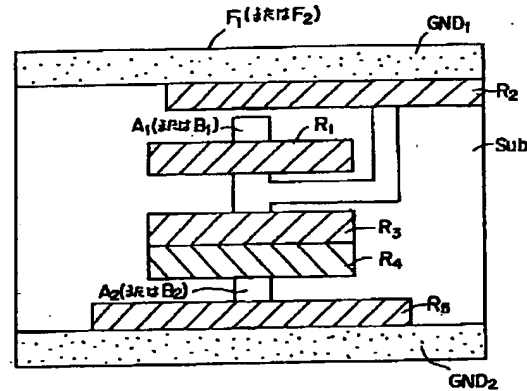


【図4】

【図3】

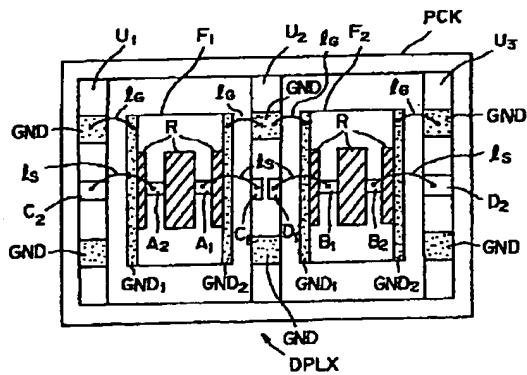


フィルタチップの構造例



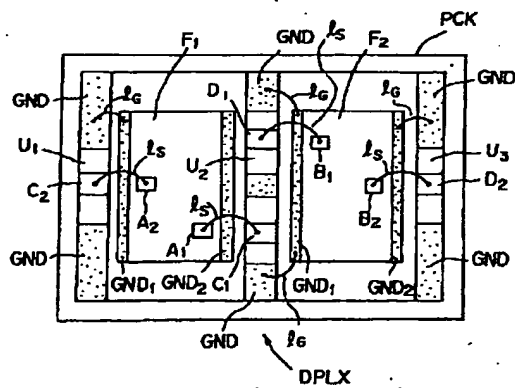
【図5】

本発明の第1実施例



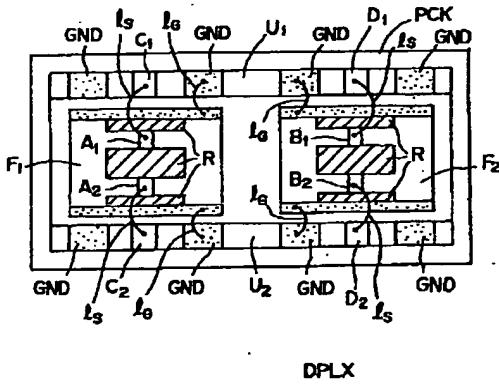
【図6】

本発明の第2実施例



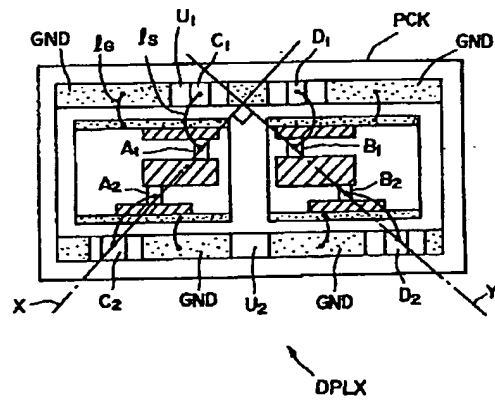
【図7】

本発明の第3実施例



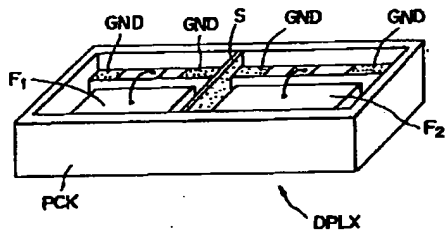
【図8】

本発明の第4実施例



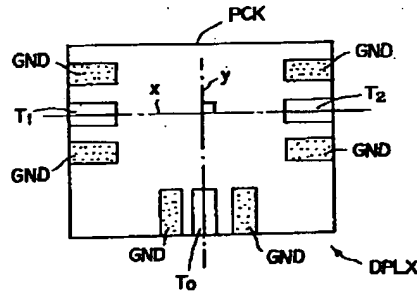
【図9】

本発明の第5実施例



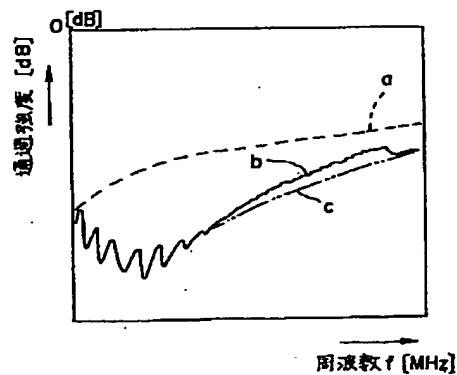
【図10】

本発明の第6実施例



【図11】

本発明による効果を示す端子間アイソレーション特性



フロントページの続き

(72)発明者 宮下 勉

神奈川県川崎市中原区上小田中4丁目1番

1号 富士通株式会社内

(72)発明者 平沢 暢朗

神奈川県川崎市中原区上小田中4丁目1番

1号 富士通株式会社内

(72)発明者 大森 秀樹

神奈川県川崎市中原区上小田中4丁目1番

1号 富士通株式会社内